

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150886

(43)Date of publication of application : 30.05.2000

(51)Int.Cl. H01L 29/78
H01L 21/205(21)Application number : 11-251100 (71)Applicant : MATSUSHITA ELECTRONICS
INDUSTRY CORP

(22)Date of filing : 06.09.1999 (72)Inventor : NAKABAYASHI TAKASHI

(30)Priority

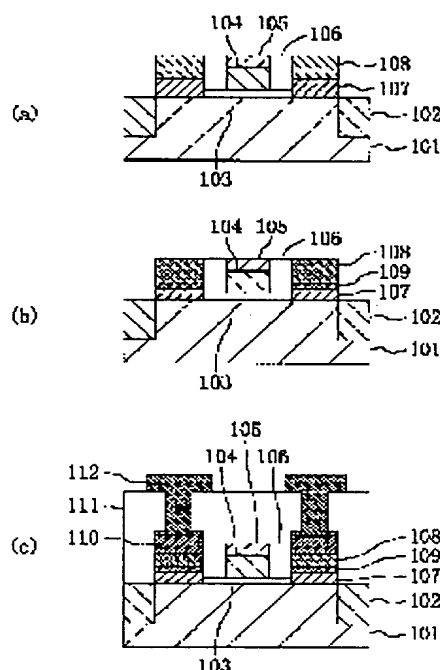
Priority number : 10256277 Priority date : 10.09.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve throughput in a manufacturing process of a semiconductor device wherein impurity layers being a source or drain are provided on both the sides of a gate electrode on a semiconductor substrate.

SOLUTION: After gate electrodes 104 and 105 are formed through a gate insulating film 103 on a semiconductor substrate 101, side wall spacers 106 are formed on both the sides of a gate electrode on the semiconductor substrate 101. On both the sides of the side wall spacers 106 on the semiconductor substrate 101, a first single-crystal silicon film 107 of superior crystallizability is formed by epitaxial-growing at relatively small growth rate, and then, on the first single-crystal silicon film 107, a second single-crystal silicon film 108 is formed by epitaxial-growing at relatively large growth rate. By doping impurity to the top area of the first single-crystal silicon film 107 and the whole area of the second single-crystal silicon film 108, an impurity diffusion layer 109 being a source or drain is formed.



LEGAL STATUS

[Date of request for examination] 14.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3209731

[Date of registration] 13.07.2001

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3209731号
(P3209731)

(45) 発行日 平成13年9月17日(2001.9.17)

(24) 登録日 平成13年7月13日(2001.7.13)

(51) Int.Cl.⁷

H 0 1 L 29/78
21/205

識別記号

F I

H 0 1 L 21/205
29/78

3 0 1 S

請求項の数15(全 17 頁)

(21) 出願番号 特願平11-251100

(22) 出願日 平成11年9月6日(1999.9.6)

(65) 公開番号 特開2000-150886(P2000-150886A)

(43) 公開日 平成12年5月30日(2000.5.30)

審査請求日 平成11年9月14日(1999.9.14)

(31) 優先権主張番号 特願平10-256277

(32) 優先日 平成10年9月10日(1998.9.10)

(33) 優先権主張国 日本(J P)

(73) 特許権者 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中林 隆

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、
前記半導体基板上における前記ゲート電極の両側に絶縁膜からなるサイドウォールスペーサーを介してそれぞれ形成されており、シリコンからなる下層の第1の半導体層とシリコンを主成分とする上層の第2の半導体層とからなる一対の積層体と、
前記一対の積層体における前記第2の半導体層の全領域と前記第1の半導体層の上部領域までの領域に跨って形成されており、ソース又はドレインとなる第2導電型の第1の不純物層とを備え、
前記第1の半導体層は、エピタキシャル成長による結晶性が相対的に優れている単結晶シリコン膜からなり、
前記第2の半導体層は、エピタキシャル成長による結晶

2

性が相対的に劣る単結晶膜、多結晶膜、又は非晶質膜からなることを特徴とする半導体装置。

【請求項2】 前記第2の半導体層はゲルマニウムを含んでいることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の半導体層の下部領域は、第1導電型の第2の不純物層からなり、前記第1の半導体層の内部にp n接合が形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第1の半導体層の下部領域は、第2導電型の第3の不純物層からなり、前記第1の不純物層よりも不純物濃度が低いことを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記半導体基板における前記第1の半導体層と接する領域に、前記第1の不純物層と同じ第2導

電型で且つ前記第1の不純物層よりも不純物濃度が低い第4の不純物層が形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記第1の半導体層の下部領域における前記ゲート電極側の部分と前記半導体基板とに跨る領域に、前記第1の不純物層と同じ第2導電型で且つ前記第1の不純物層よりも不純物濃度が低いL字状の第5の不純物層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項7】 第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程(a)と、前記半導体基板上における前記ゲート電極の両側に絶縁膜からなるサイドウォールスペーサーを形成する工程

(b)と、

前記半導体基板上における前記サイドウォールスペーサーに対する前記ゲート電極の反対側に、相対的に小さい成長レートでエピタキシャル成長させることにより、エピタキシャル成長による結晶性が相対的に優れている単結晶シリコン膜からなる第1の半導体層を形成する工程(c)と、

前記第1の半導体層の上に、相対的に大きい成長レートでエピタキシャル成長させることにより、エピタキシャル成長による結晶性が相対的に劣る単結晶膜若しくは多結晶膜又は非晶質膜からなる第2の半導体層を形成する工程(d)と、

前記第2の半導体層の全領域と前記第1の半導体層の上部領域までの領域に、ソース又はドレインとなる第2導電型の第1の不純物層を形成する工程(e)とを備えていることを特徴とする半導体装置の製造方法。

【請求項8】 前記工程(c)では、第1導電型の前記第1の半導体層が形成され、前記工程(e)では、前記第1の半導体層の下部領域が第1導電型の第2の不純物層となり、前記第1の半導体層の内部にpn接合が形成されることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記工程(c)では、第2導電型の前記第1の半導体層が形成され、

前記工程(e)では、前記第1の半導体層の下部領域が、前記第1の不純物層よりも不純物濃度が低い第2導電型の第2の不純物層となることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記工程(c)では、第2導電型の前記第1の半導体層が形成されると共に、前記半導体基板に前記第1の不純物層よりも不純物濃度が低い第2導電型の第3の不純物層が形成されることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第1の不純物層を形成する工程(e)の後に、

前記サイドウォールスペーサーを除去することにより、前記ゲート電極と前記第1の半導体層及び前記第2の半

導体層との間に空間部を形成する工程と、

前記空間部から前記第1の半導体層及び前記半導体基板に不純物を注入することにより、前記第1の半導体層の下部領域における前記ゲート電極側の部分と前記半導体基板とに跨る領域に、前記第1の不純物層と同じ第2導電型で且つ前記第1の不純物層よりも不純物濃度が低い第4の不純物層を形成する工程とをさらに備えていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項12】 前記サイドウォールスペーサーは、前記第1の不純物層と同じ第2導電型の不純物を含んでおり、

前記第1の半導体層を形成する工程(c)の後に、前記サイドウォールスペーサーに含まれる前記不純物を、前記第1の半導体層及び前記半導体基板に拡散させることにより、前記第1の半導体層の下部領域における前記ゲート電極側の部分と前記半導体基板とに跨る領域に、前記第1の不純物層と同じ第2導電型で且つ前記第1の不純物層よりも不純物濃度が低い第5の不純物層を形成する工程とをさらに備えていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項13】 前記第2の半導体層の成長工程は、前記第1の半導体層の成長工程に比べて、導入する原料ガスの流量が多いことを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項14】 前記第2の半導体層を形成する工程の処理温度は、前記第1の半導体層を形成する工程の処理温度よりも高いことを特徴とする請求項7～12のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項15】 前記第1の半導体層を形成する際に導入する原料ガスはゲルマニウムを含んでいない一方、前記第2の半導体層を形成する際に導入する原料ガスはゲルマニウムを含んでいることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上におけるゲート電極の両側にソース又はドレインとなる不純物層を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】LSIの高集積化はトランジスタや配線などの集積回路要素を微細化することによって達成されてきた。現在、LSIの設計ルールは0.25 μ mから0.18 μ mの領域に至り、ロジックLSIにおいても1千万個レベルのトランジスタを1チップ内に集積することが可能となっている。LSIの高速化と多機能化を更に進展させるために、今後、高集積化への要求が一層強まるものと考えられる。このため、LSIの主要な構成要素であるMOS型トランジスタをさらに微細化する必要がある。

【0003】MOS型トランジスタの微細化にとって、ゲート長の減少に伴ってしきい値電圧が急激に低下する、いわゆる短チャネル効果の解決が最大の課題となっている。この問題の解決には、ソース又はドレインとなる不純物拡散層の深さを小さくすること（不純物拡散層の浅接合化）が最も有効である。不純物拡散層の深さを小さくするために、注入飛程の小さいインジウム（p型不純物）又はアンチモン（n型不純物）をドーパントとして採用すると共に、不純物の活性化を短時間の高温熱処理（RTA：Rapid Thermal Annealing）により行なうことが検討されている。

【0004】ところが、不純物拡散層の浅接合化は、不純物拡散層のシート抵抗を増大させてしまう。不純物拡散層のシート抵抗の増加は、MOS型トランジスタの寄生抵抗を増加させるので、MOS型トランジスタの特性を劣化させる要因となる。

【0005】寄生抵抗の増加という問題を解決するために、ソース又はドレインとなる不純物拡散層の上に、抵抗の小さい、チタンシリサイド若しくはコバルトシリサイド等の高融点金属シリサイド層又はタングステン等の高融点金属膜を形成することが行われている。

【0006】しかしながら、不純物拡散層の上に高融点金属シリサイド層又は高融点金属膜を形成する技術と、不純物拡散層の浅接合化とを組み合わせると、接合リーク電流が増加してしまうという新たな問題が発生する。

【0007】そこで、この新たな問題を解決するために、特開平6-77246号公報において、エレベータッド ソース・ドレイン構造（Elevated Source-Drain、いわゆる積み上げ型ソース・ドレイン構造）を有するMOS型トランジスタが提案されている。

【0008】以下、図13（a）～（d）を参照しながら、エレベータッド ソース・ドレイン構造を有するMOS型トランジスタの製造方法について説明する。

【0009】まず、図13（a）に示すように、p型シリコン基板701上に素子分離領域702及びゲート絶縁膜703を形成した後、ゲート絶縁膜703の上に、下層のn型多結晶シリコン層704と上層のシリコン酸化膜705とからなるゲート電極を形成する。

【0010】次に、図13（b）に示すように、砒素イオンをp型シリコン基板701に注入して、ソース又はドレインとなる低濃度の不純物拡散層707を形成した後、ゲート電極の側面にシリコン酸化膜からなるサイドウォールスペーサー706を形成する。

【0011】次に、図13（c）に示すように、モノシランを熱分解することによって、p型シリコン基板701の上におけるゲート電極及びサイドウォールスペーサー706から露出している領域にシリコン単結晶膜を選択的に成長させた後、該シリコン単結晶膜に砒素イオンを注入することにより、ソース又はドレインとなる高濃度の不純物拡散層708を形成する。

【0012】次に、高濃度の不純物拡散層708の上にチタン膜を堆積した後、熱処理を施すことにより、図13（d）に示すように、高濃度の不純物拡散層708の上にチタンシリサイド層709を形成する。その後、未反応のチタン膜を硫酸過水等を用いて除去する。

【0013】前述したMOS型トランジスタの製造方法によると、ソース又はドレインとなる高濃度の不純物拡散層がトランジスタのチャネル領域よりも上に形成されており、シリコン基板中には低濃度の不純物拡散層のみが存在するため、浅い接合が実質的に形成されていることになるので、短チャネル効果に優れたトランジスタ特性を得ることができる。

【0014】また、低抵抗のチタンシリサイド層が、シリコン基板上に成長した単結晶シリコン膜の上に形成されるため、単結晶シリコン膜の膜厚を大きくすることによって、チタンシリサイド層も厚く形成することができるので、寄生抵抗を低くすることが可能になる。

【0015】

【発明が解決しようとする課題】しかしながら、前述のMOS型トランジスタの製造方法においては、高濃度の不純物拡散層となる単結晶シリコン膜を結晶性良く成長させるために、処理温度を例えば600℃程度に低く設定しているため、単結晶シリコン膜の成長時間が非常に長くなる。このため、製造工程のスループットが低減して、量産性が低下するという問題が発生する。この問題は、エピタキシャル成長により単結晶シリコン膜を形成する際に一般的に起きる。

【0016】前記に鑑み、本発明は、いわゆる積み上げ型のソース・ドレイン構造を有するMOS型トランジスタのスループットを向上させることにより、量産性に優れた半導体装置及びその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】前記の目的を達成するため、本発明は、半導体基板上におけるゲート電極の両側に相対的に小さい成長レートで結晶性に優れた単結晶シリコン膜を形成した後、該単結晶シリコン膜の上に相対的に大きい成長レートでシリコンを主成分とする半導体層を形成し、その後、単結晶シリコン膜と半導体層とからなる積層体にソース又はドレインとなる不純物層をその接合面が単結晶シリコン膜中に位置するように形成するものである。

【0018】具体的には、本発明に係る半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板上におけるゲート電極の両側に絶縁膜を介してそれぞれ形成されており、シリコンからなる下層の第1の半導体層とシリコンを主成分とする上層の第2の半導体層とからなる一対の積層体と、一対の積層体における第1の半導体層の上部領域と第2の半導体層の全領域とに跨って形成されており、ソース又はドレイン

ンとなる不純物層とを備え、第1の半導体層は、結晶性が相対的に優れている単結晶シリコン膜からなり、第2の半導体層は、結晶性が相対的に劣る単結晶膜若しくは多結晶膜、又は非晶質膜からなる。

【0019】本発明の半導体装置によると、ソース又はドレインとなる不純物層は、結晶性が相対的に優れている単結晶シリコン膜からなる第1の半導体層と、結晶性が相対的に劣る単結晶膜若しくは多結晶膜、又は非晶質膜からなる第2の半導体層との積層体に形成されるため、第2の半導体層の成長レートひいては不純物層が形成される積層体の成長レートを大きくできるので、スループットを向上させることができる。また、ソース又はドレインとなる不純物層の接合面が結晶性に優れている第1の半導体層の内部に位置するので、成長レートを大きくできるにも拘わらず、接合リーク電流の増加を防止することができる。

【0020】本発明の半導体装置において、第2の半導体層はゲルマニウムを含んでいることが好ましい。このようにすると、ゲルマニウムの固有の成長レートはシリコンの固有の成長レートよりも大きいため、第2の半導体層の成長レートを確実に大きくすることができる。

【0021】本発明の半導体装置において、第1の半導体層の下部領域は、不純物層と逆の導電型の不純物層からなることが好ましい。このようにすると、pn接合が結晶性に優れた第1の半導体層の内部に形成されるため、接合リーク電流の増加を確実に防止することができる。

【0022】本発明の半導体装置において、第1の半導体層の下部領域は、不純物層と同じ導電型で且つ不純物層よりも不純物濃度が低い低濃度不純物層からなることが好ましい。このようにすると、ソース又はドレインとなる不純物層と低濃度不純物層との接合面が結晶性に優れた第1の半導体層の内部に位置するため、接合リーク電流の増加を確実に防止することができる。

【0023】この場合、半導体基板における第1の半導体層と接する領域に、不純物層と同じ導電型で且つ不純物層よりも不純物濃度が低い低濃度不純物層が形成されていることが好ましい。このようにすると、ソース又はドレインとなる不純物層と半導体基板における逆導電型の不純物領域との間に低濃度不純物層が介在するので、寄生容量が低減される。

【0024】本発明の半導体装置において、第1の半導体層の下部領域におけるゲート電極側の部分と半導体基板とに跨る領域に、不純物層と同じ導電型で且つ不純物層よりも不純物濃度が低い低濃度不純物層が形成されていることが好ましい。このようにすると、ソース又はドレインとなる不純物層と半導体基板におけるチャネル領域との間に低濃度不純物層が介在するので、寄生抵抗を低減することができる。

【0025】本発明に係る半導体装置の製造方法は、半

導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、半導体基板上におけるゲート電極の両側に絶縁膜を形成する工程と、半導体基板上における絶縁膜に対するゲート電極の反対側に、相対的に小さい成長レートでエピタキシャル成長させることにより、結晶性が相対的に優れている単結晶シリコン膜からなる第1の半導体層を形成する工程と、第1の半導体層の上に、相対的に大きい成長レートでエピタキシャル成長させることにより、結晶性が相対的に劣る単結晶膜若しくは多結晶膜又は非晶質膜からなる第2の半導体層を形成する工程と、第1の半導体層の上部領域及び第2の半導体層の全領域に不純物をドーピングして、ソース又はドレインとなる不純物層を形成する工程とを備えている。

【0026】本発明の半導体装置の製造方法によると、相対的に小さい成長レートでエピタキシャル成長させることにより結晶性に優れた単結晶シリコン膜からなる第1の半導体層を形成した後、相対的に大きい成長レートでエピタキシャル成長させることにより第2の半導体層を形成して、第1の半導体層と第2の半導体層とからなる積層体を形成するため、不純物層が形成される積層体の成長レートが大きくなるので、スループットが向上する。また、ソース又はドレインとなる不純物層の接合面が結晶性に優れている第1の半導体層の内部に位置するので、成長レートを大きくできるにも拘わらず、接合リーク電流の増加を防止することができる。

【0027】本発明の半導体装置の製造方法において、第2の半導体層を形成する工程において導入する原料ガスの流量は、第1の半導体層を形成する工程において導入する原料ガスの流量よりも多いことが好ましい。このようにすると、第2の半導体層を形成するときの成長レートを第1の半導体層を形成するときの成長レートよりも確実に大きくすることができる。

【0028】本発明の半導体装置の製造方法において、第2の半導体層を形成する工程の処理温度は、第1の半導体層を形成する工程の処理温度よりも高いことが好ましい。このようにすると、第2の半導体層を形成するときの成長レートを第1の半導体層を形成するときの成長レートよりも確実に大きくすることができる。

【0029】本発明の半導体装置の製造方法において、第1の半導体層を形成する際に導入する原料ガスはゲルマニウムを含んでいない一方、第2の半導体層を形成する際に導入する原料ガスはゲルマニウムを含んでいることが好ましい。このようにすると、ゲルマニウムの固有の成長レートはシリコンの固有の成長レートよりも大きいため、第2の半導体層の成長レートを第1の半導体層の成長レートよりも確実に大きくすることができる。

【0030】本発明の半導体装置の製造方法は、不純物層を形成する工程の後に、絶縁膜を除去することにより、ゲート電極と第1の半導体層及び第2の半導体層との間に空間部を形成する工程と、空間部から第1の半導

体層及び半導体基板に不純物を注入することにより、第1の半導体層の下部領域におけるゲート電極側の部分と半導体基板とに跨る領域に、不純物層と同じ導電型で且つ不純物層よりも不純物濃度が低い低濃度不純物層を形成する工程とを備えていることが好ましい。

【0031】このように、ゲート電極と第1の半導体層及び第2の半導体層との間に形成される空間部から第1の半導体層及び半導体基板に不純物を注入すると、第1の半導体層の下部領域におけるゲート電極側の部分と半導体基板とに跨る領域に低濃度不純物層を確実に形成することができる。

【0032】本発明の半導体装置の製造方法において、絶縁膜は、不純物層と同じ導電型の不純物を含んでおり、第1の半導体層を形成する工程の後に、絶縁膜に含まれる不純物を、第1の半導体層及び半導体基板に拡散させることにより、第1の半導体層の下部領域におけるゲート電極側の部分と半導体基板とに跨る領域に、不純物層と同じ導電型で且つ不純物層よりも不純物濃度が低い低濃度不純物層を形成する工程を備えていることが好ましい。

【0033】このように、絶縁膜に含まれる不純物を第1の半導体層及び半導体基板に拡散させると、第1の半導体層の下部領域におけるゲート電極側の部分と半導体基板とに跨る領域に低濃度不純物層を確実に形成することができる。

【0034】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置及びその製造方法について、図1（a）～（c）及び図2（a）～（c）を参照しながら説明する。

【0035】まず、図1（a）に示すように、p型シリコン基板101上に、LOCOS又はトレンチからなる素子分離領域102を形成した後、3～8nmの厚さを持つゲート絶縁膜103を形成する。次に、周知の方法により、ゲート絶縁膜103の上に、100～300nmの厚さを持つ下層のn型多結晶シリコン膜104及び50～200nmの厚さを持つ上層のシリコン酸化膜105からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅は例えば1～10μmである。尚、上層のシリコン酸化膜105に代えて、シリコン窒化膜を形成してもよい。

【0036】次に、p型シリコン基板101の上に例えば30～100nmの厚さを持つシリコン窒化膜を全面的に堆積した後、該シリコン窒化膜に対して異方性ドライエッチングを行なうことにより、図1（b）に示すように、ゲート電極の側面にシリコン窒化膜からなるサイドウォールスペーサー106を形成する。尚、サイドウォールスペーサー106はシリコン酸化膜により形成してもよい。

【0037】次に、3sccmの流量のジシランガス、

0.01sccmの流量のジボランガス及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図1（c）に示すように、p型シリコン基板101の上におけるゲート電極及びサイドウォールスペーサー106から露出している領域に、50nm程度の厚さを持ち結晶性に優れたp型の第1の単結晶シリコン膜107を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0038】第1の単結晶シリコン膜107を成長させる工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、第1の単結晶シリコン膜107は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0039】尚、第1の単結晶シリコン膜107を成膜する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、ジボランガスに代えてボランガス等の他のホウ素化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0040】次に、10sccmの流量のジシランガス及び0.04sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図2（a）に示すように、第1の単結晶シリコン膜107の上に、100nm程度の厚さを持つノンドープ型の第2の単結晶シリコン膜108を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0041】第2の単結晶シリコン膜108を成長させる工程では、第1の単結晶シリコン膜107の成長工程に比べて導入する原料ガスの量が多いため、成長レートは約20nm/分と大きい。しかしながら、成長レートが大きいので、第2の単結晶シリコン膜108は第1の単結晶シリコン膜107に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0042】尚、第2の単結晶シリコン膜108を成膜する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0043】また、第2の単結晶シリコン膜108に代えて、多結晶シリコン膜又は非晶質シリコン膜等のように、第1の単結晶シリコン膜107に比べて、結晶性は劣るが成長レートの大きい膜を形成してもよい。

【0044】次に、第1の単結晶シリコン膜107及び第2の単結晶シリコン膜108に、ドーザ量 $2 \times 10^{15} \text{ cm}^{-2}$ の砒素イオンを40keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、図2（b）に示すように、第2の単結晶シリ

コン膜108の全部及び第1の単結晶シリコン膜107の上部に跨る領域(点々で示す領域)に、ソース又はドレインとなるn型の不純物拡散層109を形成する。この場合、p型の第1の単結晶シリコン膜107の上部の領域は、n型の不純物イオンが注入されることにより、n型領域に変化するので、第1の単結晶シリコン膜107の内部にpn接合が形成される。

【0045】尚、n型の不純物拡散層109を形成するための不純物イオンとしては、砒素イオンに代えて、燐等の他のn型不純物イオンを用いてもよい。

【0046】次に、p型シリコン基板101の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図2(c)に示すように、第2の単結晶シリコン膜108の上部にチタンシリサイド層110を形成する。その後、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なって、チタンシリサイド層110を低抵抗化する。

【0047】次に、p型シリコン基板101の上に層間絶縁膜111を堆積した後、該層間絶縁膜111にソース電極又はドレイン電極となる金属電極112を形成すると、第1の実施形態に係る半導体装置が得られる。

【0048】第1の実施形態によると、第2の単結晶シリコン膜108の成長工程は、第1の単結晶シリコン膜107の成長工程に比べて導入する原料ガスの量が多いため、成長レートが大きいため、第1の単結晶シリコン膜107と第2の単結晶シリコン膜108との積層体の成長レートは、従来の方法つまり結晶性に優れた単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、第1の単結晶シリコン膜107及び第2の単結晶シリコン膜108の成長時間はそれぞれ5分程度であり、合計の成長時間は約10分であるから、従来の方法における約15分の成長時間に対して2/3程度に短縮できる。

【0049】第2の単結晶シリコン膜108は成長レートが大きいため結晶性に劣るが、第2の単結晶シリコン膜108の上部はチタンシリサイド層110に変化すると共に、第2の単結晶シリコン膜108の下部は不純物拡散層109の内部領域に位置するので、接合リーク等には影響が及ばない。

【0050】また、pn接合は結晶性に優れた第1の単結晶シリコン膜107の内部に形成されるので、接合リーク電流の増加は生じない。

【0051】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体装置及びその製造方法について、図3(a)～(c)及び図4(a)～(c)を参照しながら説明する。

【0052】まず、図3(a)に示すように、p型シリコン基板201上に、LOCOS又はトレンチからなる素子分離領域202を形成した後、3～8nmの厚さを

持つゲート絶縁膜203を形成する。次に、周知の方法により、ゲート絶縁膜203の上に、100～300nmの厚さを持つ下層のn型多結晶シリコン膜204及び50～200nmの厚さを持つ上層のシリコン酸化膜205からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅は例えば1～10μmである。尚、上層のシリコン酸化膜205に代えて、シリコン窒化膜を形成してもよい。

【0053】次に、p型シリコン基板201の上に例えば30～100nmの厚さを持つシリコン窒化膜を全面的に堆積した後、該シリコン窒化膜に対して異方性ドライエッチングを行なうことにより、図3(b)に示すように、ゲート電極の側面にシリコン窒化膜からなるサイドウォールスペーサー206を形成する。尚、サイドウォールスペーサー206はシリコン酸化膜により形成してもよい。

【0054】次に、3sccmの流量のジシランガス、0.01sccmの流量のジボランガス及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図3(c)に示すように、p型シリコン基板201におけるゲート電極及びサイドウォールスペーサー206から露出している領域に、50nm程度の厚さを持ち結晶性に優れたp型の第1の単結晶シリコン膜207を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0055】第1の単結晶シリコン膜207を成長する工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、第1の単結晶シリコン膜207は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0056】尚、第1の単結晶シリコン膜207を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、ジボランガスに代えてボランガス等の他のホウ素化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0057】次に、3sccmの流量のジシランガス及び0.04sccmの流量の塩素ガスを導入すると共に、700℃の処理温度でエピタキシャル成長させることにより、図4(a)に示すように、第1の単結晶シリコン膜207の上に、100nm程度の厚さを持つノンドープ型の第2の単結晶シリコン膜208を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0058】第2の単結晶シリコン膜208を成長する工程では、第1の単結晶シリコン膜207の成長工程に比べて処理温度が高いため、成長レートは約40nm/

分と大きい。しかしながら、成長レートが大きいので、第2の単結晶シリコン膜208は第1の単結晶シリコン膜207に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0059】尚、第2の単結晶シリコン膜208を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスを用いてもよく、塩素ガスに代えて他の塩素化合物ガスを用いてもよい。

【0060】また、第2の単結晶シリコン膜208に代えて、多結晶シリコン膜又は非晶質シリコン膜等のよう

に、第1の単結晶シリコン膜207に比べて、結晶性は劣るが成長レートの大きい膜を形成してもよい。
【0061】次に、第1の単結晶シリコン膜207及び第2の単結晶シリコン膜208に、ドーズ量 2×10^{15} cm^{-2} の砒素イオンを40keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、図4(b)に示すように、第2の単結晶シリコン膜208の全部及び第1の単結晶シリコン膜207の上部に跨る領域(点々で示す領域)に、ソース又はドレインとなるn型の不純物拡散層209を形成する。この場合、p型の第1の単結晶シリコン膜207の上部の領域は、n型の不純物イオンが注入されることにより、n型領域に変化するので、第1の単結晶シリコン膜207の内部にpn接合が形成される。

【0062】尚、n型の不純物拡散層209を形成するための不純物イオンとしては、砒素イオンに代えて、磷等の他のn型不純物イオンを用いてもよい。

【0063】次に、p型シリコン基板201の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図4(c)に示すように、第2の単結晶シリコン膜208の上部にチタンシリサイド層210を形成する。次に、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なって、チタンシリサイド層210を低抵抗化する。

【0064】次に、p型シリコン基板201の上に層間絶縁膜211を堆積した後、該層間絶縁膜211にソース電極又はドレイン電極となる金属電極212を形成すると、第2の実施形態に係る半導体装置が得られる。

【0065】第2の実施形態によると、第2の単結晶シリコン膜208の成長工程は、第1の単結晶シリコン膜207の成長工程に比べて処理温度が高いため、成長レートが大きくなるので、第1の単結晶シリコン膜207と第2の単結晶シリコン膜208との積層体の成長レートは従来の方法つまり結晶性に優れた単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、第1の単結晶シリコン膜207の成長時間は5分程度であり、第2の単結晶シリコン膜208の成長時間は2.5分程度であり、合計の成長時間は約7.5分であるから、従来の方法における約15分の成長時間に対して1

／2程度に短縮できる。

【0066】第2の単結晶シリコン膜208は成長レートが大きいため結晶性に劣るが、第2の単結晶シリコン膜208の上部はチタンシリサイド層210に変化すると共に、第2の単結晶シリコン膜208の下部は不純物拡散層209の内部領域に位置するので、接合リーク等には影響が及ばない。

【0067】また、pn接合は結晶性に優れた第1の単結晶シリコン膜207の内部に形成されるので、接合リーク電流の増加は生じない。

【0068】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置及びその製造方法について、図5(a)～(c)及び図6(a)～(c)を参照しながら説明する。

【0069】まず、図5(a)に示すように、n型シリコン基板301上に、LOCOS又はトレンチからなる素子分離領域302を形成した後、3～8nmの厚さを持つゲート絶縁膜303を形成する。次に、周知の方法により、ゲート絶縁膜303の上に、100～300nmの厚さを持つ下層のp型多結晶シリコン膜304及び50～200nmの厚さを持つ上層のシリコン酸化膜305からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅は例えば1～10μmである。尚、上層のシリコン酸化膜305に代えて、シリコン窒化膜を形成してもよい。

【0070】次に、n型シリコン基板301の上に例えば30～100nmの厚さを持つシリコン窒化膜を全面的に堆積した後、該シリコン窒化膜に対して異方性ドライエッチングを行なうことにより、図5(b)に示すように、ゲート電極の側面にシリコン窒化膜からなるサイドウォールスペーサー306を形成する。尚、サイドウォールスペーサー306はシリコン酸化膜により形成してもよい。

【0071】次に、3sccmの流量のジシランガス、0.001sccmの流量のホスフィン及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図5(c)に示すように、n型シリコン基板301におけるゲート電極及びサイドウォールスペーサー306から露出している領域に、50nm程度の厚さを持ち結晶性に優れたn型の単結晶シリコン膜307を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0072】単結晶シリコン膜307を成長する工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、単結晶シリコン膜307は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0073】尚、単結晶シリコン膜307を成長する工

程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスを用いてもよく、ホスフィンに代えてアルシン等の他のn型不純物化合物ガスを用いてもよく、塩素ガスに代えて他の塩素化合物ガスを用いてもよい。

【0074】次に、2.5 sccmの流量のジシランガス、0.5 sccmの流量のモノゲルマンガス及び0.02 sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図6(a)に示すように、単結晶シリコン膜307の上に、100nm程度の厚さを持つノンドープ型の単結晶シリコンゲルマニウム膜308を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0075】ゲルマニウム固有の成長温度がシリコン固有の成長温度よりも低いと共に、単結晶シリコン膜307を成長させるときの処理温度と単結晶シリコンゲルマニウム膜308を成長させるときの処理温度とが同程度であるから、単結晶シリコンゲルマニウム膜308の成長レートは、単結晶シリコン膜307の成長レートよりも大きく、約50nm/分程度である。しかしながら、成長レートが大きいので、単結晶シリコンゲルマニウム膜308は単結晶シリコン膜307に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0076】尚、単結晶シリコンゲルマニウム膜308を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスを用いてもよく、モノゲルマンガスに代えて他のゲルマニウム化合物ガスを用いてもよく、塩素ガスに代えて他の塩素化合物ガスを用いてもよい。

【0077】また、単結晶シリコンゲルマニウム膜308に代えて、多結晶シリコン膜又は非晶質シリコン膜等のように、単結晶シリコン膜307に比べて、結晶性は劣るが成長レートの大きい膜を形成してもよい。

【0078】次に、単結晶シリコン膜307及び単結晶シリコンゲルマニウム膜308に、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ のホウ素イオンを10keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、図6(b)に示すように、単結晶シリコンゲルマニウム膜308の全部及び単結晶シリコン膜307の上部に跨る領域(点々で示す領域)に、ソース又はドレインとなるp型の不純物拡散層309を形成する。この場合、n型の単結晶シリコン膜307の上部の領域は、p型の不純物イオンが注入されることにより、p型領域に変化するので、単結晶シリコン膜307の内部にpn接合が形成される。

【0079】尚、p型の不純物拡散層309を形成するための不純物イオンとしては、ホウ素イオンに代えて、二弗化ホウ素等の他のp型不純物イオンを用いてもよ

い。

【0080】次に、n型シリコン基板301の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図6(c)に示すように、単結晶シリコンゲルマニウム膜308の上部にチタンシリサイド層310を形成する。次に、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なうと、チタンシリサイド層310を低抵抗化する。

【0081】次に、n型シリコン基板301の上に層間絶縁膜311を堆積した後、該層間絶縁膜311にソース電極又はドレイン電極となる金属電極312を形成すると、第3の実施形態に係る半導体装置が得られる。

【0082】第3の実施形態によると、ゲルマニウム固有の成長温度がシリコン固有の成長温度よりも低いいため、単結晶シリコンゲルマニウム膜308の成長レートが大きくなるので、単結晶シリコン膜307と単結晶シリコンゲルマニウム膜308との積層体の成長レートは、従来の方法つまり単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、単結晶シリコン膜307の成長時間は5分程度であり、単結晶シリコンゲルマニウム膜308の成長時間は2分程度であり、合計の成長時間は約7分であるから、従来の方法における約15分の成長時間に対して1/2以下に短縮できる。

【0083】単結晶シリコンゲルマニウム膜308は成長レートが大きいいため結晶性に劣るが、該単結晶シリコンゲルマニウム膜308の上部はチタンシリサイド層310に変化すると共に、単結晶シリコンゲルマニウム膜308の下部は不純物拡散層309の内部領域に位置するので、接合リーク等には影響が及ばない。

【0084】また、pn接合は結晶性に優れた単結晶シリコン膜307の内部に形成されるので、接合リーク電流の増加は生じない。

【0085】単結晶シリコンゲルマニウム膜308は、単結晶シリコン膜に比べてバンドギャップが小さいため、チタンシリサイド層310との接触抵抗を小さくすることができる。

【0086】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体装置及びその製造方法について、図7(a)～(c)及び図8(a)～(c)を参照しながら説明する。

【0087】まず、図7(a)に示すように、p型シリコン基板401上に、LOCOS又はトレンチからなる素子分離領域402を形成した後、3～8nmの厚さを持つゲート絶縁膜403を形成する。次に、周知の方法により、ゲート絶縁膜403の上に、100～300nmの厚さを持つ下層のn型多結晶シリコン膜404及び50～200nmの厚さを持つ上層のシリコン酸化膜405からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅は

例えば1~10 μ mである。尚、上層のシリコン酸化膜405に代えて、シリコン窒化膜を形成してもよい。

【0088】次に、p型シリコン基板401の上に全面的に例えば30~100nmの厚さを持つシリコン窒化膜を堆積した後、該シリコン窒化膜に対して異方性ドライエッチングを行なうことにより、図7(b)に示すように、ゲート電極の側面にシリコン窒化膜からなるサイドウォールスペーサー406を形成する。尚、サイドウォールスペーサー406はシリコン酸化膜により形成してもよい。

【0089】次に、3sccmの流量のジシランガス、0.005sccmの流量のホスフィン及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図7(c)に示すように、p型シリコン基板401におけるゲート電極及びサイドウォールスペーサー406から露出している領域に、50nm程度の厚さを持ち結晶性に優れたn型の第1の単結晶シリコン膜407を形成すると共に、p型シリコン基板401にn型の低濃度不純物層408を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0090】第1の単結晶シリコン膜407を成長する工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、第1の単結晶シリコン膜407は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0091】尚、第1の単結晶シリコン膜407を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスを用いてもよく、ホスフィンガスに代えてアルシランガス等の他のn型不純物化合物ガスを用いてもよく、塩素ガスに代えて他の塩素化合物ガスを用いてもよい。

【0092】次に、3sccmの流量のジシランガス及び0.04sccmの流量の塩素ガスを導入すると共に、700℃の処理温度でエピタキシャル成長させることにより、図8(a)に示すように、第1の単結晶シリコン膜407の上に、100nm程度の厚さを持つノンドープ型の第2の単結晶シリコン膜409を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。

【0093】第2の単結晶シリコン膜409を成長する工程では、第1の単結晶シリコン膜407の成長工程に比べて処理温度が高いため、成長レートは約40nm/分と大きい。しかしながら、成長レートが大きいので、第2の単結晶シリコン膜409は第1の単結晶シリコン膜407に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0094】尚、第2の単結晶シリコン膜409を成長

する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスを用いてもよく、塩素ガスに代えて他の塩素化合物ガスを用いてもよい。

【0095】また、第2の単結晶シリコン膜409に代えて、多結晶シリコン膜又は非晶質シリコン膜等のように、第1の単結晶シリコン膜407に比べて、結晶性は劣るが成長レートの大きい膜を形成してもよい。

【0096】次に、第1の単結晶シリコン膜407及び第2の単結晶シリコン膜409に、ドーズ量 2×10^{15} cm⁻²の砒素イオンを40keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、第2の単結晶シリコン膜409の全部及び第1の単結晶シリコン膜407の上部に跨る領域(点々で示す領域)に、ソース又はドレインとなるn型の高濃度不純物層410を形成する。この場合、n型の第1の単結晶シリコン膜407の上部の領域は、n型の不純物イオンが注入されることにより、n型の高濃度不純物領域に変化するので、第1の単結晶シリコン膜407の内部に、高濃度不純物層410と低濃度不純物層(第1の単結晶シリコン膜407における下部の領域)との接合面が形成される。

【0097】尚、n型の高濃度不純物層410を形成するための不純物イオンとしては、砒素イオンに代えて、燐等の他のn型不純物イオンを用いてもよい。

【0098】次に、p型シリコン基板401の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図8(b)に示すように、第2の単結晶シリコン膜409の上部にチタンシリサイド層411を形成する。次に、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なって、チタンシリサイド層411を低抵抗化する。

【0099】次に、図8(c)に示すように、p型シリコン基板401の上に層間絶縁膜412を堆積した後、該層間絶縁膜412にソース電極又はドレイン電極となる金属電極413を形成すると、第4の実施形態に係る半導体装置が得られる。

【0100】第4の実施形態によると、第2の単結晶シリコン膜409の成長工程は、第1の単結晶シリコン膜407の成長工程に比べて処理温度が高いため、成長レートが大きいので、第1の単結晶シリコン膜407と第2の単結晶シリコン膜409との積層体の成長レートは従来方法つまり結晶性に優れた単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、第1の単結晶シリコン膜407の成長時間は5分程度であり、第2の単結晶シリコン膜409の成長時間は2.5分程度であり、合計の成長時間は約7.5分であるから、従来方法における約15分の成長時間に対して1/2程度に短縮できる。

【0101】第2の単結晶シリコン膜409は成長レー

トが大きい結晶性に劣るが、第2の単結晶シリコン膜409の上部はチタンシリサイド層411に変化すると共に、第2の単結晶シリコン膜409の下部は高濃度不純物層410の内部領域に位置するので、接合リーク等には影響が及ばない。

【0102】また、高濃度不純物層410と低濃度不純物層との接合面は結晶性に優れた第1の単結晶シリコン膜407の内部に形成されるので、接合リーク電流の増加は生じない。

【0103】さらに、ソース又はドレインとなるn型の高濃度不純物層410とp型シリコン基板401のp型領域との間に低濃度不純物層408が介在しているので、寄生容量が低減する。

【0104】（第5の実施形態）以下、本発明の第5の実施形態に係る半導体装置及びその製造方法について、図9(a)～(c)及び図10(a)～(c)を参照しながら説明する。

【0105】まず、図9(a)に示すように、p型シリコン基板501上に、LOCOS又はトレンチからなる素子分離領域502を形成した後、3～8nmの厚さを持つゲート絶縁膜503を形成する。次に、周知の方法により、ゲート絶縁膜503の上に、100～300nmの厚さを持つ下層のn型多結晶シリコン膜504及び50～200nmの厚さを持つ上層のシリコン酸化膜505からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅は例えば1～10μmである。尚、上層のシリコン酸化膜505に代えて、シリコン窒化膜を形成してもよい。

【0106】次に、p型シリコン基板501の上に全面的に例えば30～100nmの厚さを持つシリコン窒化膜を堆積した後、該シリコン窒化膜に対して異方性ドライエッチングを行なうことにより、図9(b)に示すように、ゲート電極の側面にシリコン窒化膜からなるサイドウォールスペーサー506を形成する。尚、サイドウォールスペーサー506はシリコン酸化膜により形成してもよい。

【0107】次に、3sccmの流量のジシランガス及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図9(c)に示すように、p型シリコン基板501におけるゲート電極及びサイドウォールスペーサー506から露出している領域に、50nm程度の厚さを持ち結晶性に優れたノンドープ型の第1の単結晶シリコン膜507を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。第1の単結晶シリコン膜507を成長する工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、第1の単結晶シリコン膜507は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0108】尚、第1の単結晶シリコン膜507を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0109】次に、3sccmの流量のジシランガス及び0.04sccmの流量の塩素ガスを導入すると共に、700℃の処理温度でエピタキシャル成長させることにより、図10(a)に示すように、第1の単結晶シリコン膜507の上に、100nm程度の厚さを持つノンドープ型の第2の単結晶シリコン膜508を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。第2の単結晶シリコン膜508を成長する工程では、第1の単結晶シリコン膜507の成長工程に比べて処理温度が高いため、成長レートは約40nm/分と大きい。しかしながら、成長レートが大きいので、第2の単結晶シリコン膜508は第1の単結晶シリコン膜507に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0110】尚、第2の単結晶シリコン膜508を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0111】また、第2の単結晶シリコン膜508に代えて、多結晶シリコン膜又は非晶質シリコン膜等のように、第1の単結晶シリコン膜507に比べて、結晶性は劣るが成長レートの大きい膜を形成してもよい。

【0112】次に、第1の単結晶シリコン膜507及び第2の単結晶シリコン膜508に、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の砒素イオンを50keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、第2の単結晶シリコン膜508の全部及び第1の単結晶シリコン膜507の上部に跨る領域（密な点々で示す領域）に、ソース又はドレインとなるn型の高濃度不純物層509を形成する。尚、n型の高濃度不純物層509を形成するための不純物イオンとしては、砒素イオンに代えて、燐等の他のn型不純物イオンを用いてもよい。

【0113】次に、p型シリコン基板501の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図10(b)に示すように、第2の単結晶シリコン膜509の上部にチタンシリサイド層510を形成する。次に、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なうと、チタンシリサイド層510を低抵抗化した後、ドライエッチングによりサイドウォールスペーサー506を選択的に除去する。

【0114】次に、p型シリコン基板501及び第1の単結晶シリコン膜507に、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$

の砒素イオンを10keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、第1の単結晶シリコン膜507におけるゲート電極側の領域とp型シリコン基板501とに跨る領域（疎な点々で示す領域）にL字状の低濃度不純物層511を形成する。

【0115】次に、図10(c)に示すように、p型シリコン基板501の上に層間絶縁膜512を堆積した後、該層間絶縁膜512にソース電極又はドレイン電極となる金属電極513を形成すると、第5の実施形態に係る半導体装置が得られる。

【0116】第5の実施形態によると、第2の単結晶シリコン膜508の成長工程は、第1の単結晶シリコン膜507の成長工程に比べて処理温度が高いため、成長レートが大きいので、第1の単結晶シリコン膜507と第2の単結晶シリコン膜508との積層体の成長レートは従来の方法つまり結晶性に優れた単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、第1の単結晶シリコン膜507の成長時間は5分程度であり、第2の単結晶シリコン膜508の成長時間は2.5分程度であり、合計の成長時間は約7.5分であるから、従来の方法における約15分の成長時間に対して1/2程度に短縮できる。

【0117】第2の単結晶シリコン膜508は成長レートが大きいため結晶性に劣るが、第2の単結晶シリコン膜508の上部はチタンシリサイド層510に変化すると共に、第2の単結晶シリコン膜508の下部は高濃度不純物層509の内部領域に位置するので、接合リーク等には影響が及ばない。

【0118】高濃度不純物層509と低濃度不純物層511との接合面は結晶性に優れた第1の単結晶シリコン膜507の内部に形成されるので、接合リーク電流の増加は生じない。

【0119】ソース又はドレインとなるn型の高濃度不純物層509とp型シリコン基板501のチャネル領域との間に低濃度不純物層511が介在しているので、寄生抵抗を低減することができる。

【0120】（第6の実施形態）以下、本発明の第6の実施形態に係る半導体装置及びその製造方法について、図11(a)～(c)及び図12(a)～(c)を参照しながら説明する。

【0121】まず、図11(a)に示すように、p型シリコン基板601上に、LOCOS又はトレンチからなる素子分離領域602を形成した後、3～8nmの厚さを持つゲート絶縁膜603を形成する。次に、周知の方法により、ゲート絶縁膜603の上に、100～300nmの厚さを持つ下層のn型多結晶シリコン膜604及び50～200nmの厚さを持つ上層のシリコン酸化膜605からなるゲート電極を形成する。該ゲート電極のゲート長は例えば0.1～0.2μmであり、ゲート幅

は例えば1～10μmである。尚、上層のシリコン酸化膜605に代えて、シリコン窒化膜を形成してもよい。

【0122】次に、p型シリコン基板601の上に全面的に、例えば30～100nmの厚さを持ち且つ濃度が $1 \times 10^{21} / \text{cm}^2$ であるPSG膜を堆積した後、該PSG膜に対して異方性ドライエッチングを行なうことにより、図11(b)に示すように、ゲート電極の側面にPSG膜からなるサイドウォールスペーサー606を形成する。

【0123】次に、3sccmの流量のジシランガス及び0.02sccmの流量の塩素ガスを導入すると共に、630℃の処理温度でエピタキシャル成長させることにより、図11(c)に示すように、p型シリコン基板601におけるゲート電極及びサイドウォールスペーサー606から露出している領域に、50nm程度の厚さを持ち結晶性に優れたノンドープ型の第1の単結晶シリコン膜607を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。第1の単結晶シリコン膜607を成長する工程では、成長レートは約10nm/分と小さい。しかしながら、成長レートが小さいので、第1の単結晶シリコン膜607は結晶性に優れており、その結晶構造はほぼ無欠陥である。

【0124】尚、第1の単結晶シリコン膜607を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0125】次に、3sccmの流量のジシランガス及び0.04sccmの流量の塩素ガスを導入すると共に、700℃の処理温度でエピタキシャル成長させることにより、図12(a)に示すように、第1の単結晶シリコン膜607の上に、100nm程度の厚さを持つ結晶性に劣るノンドープ型の第2の単結晶シリコン膜608を形成する。この場合、塩素ガスは、シリコン酸化膜又はシリコン窒化膜上に成長してしまう非晶質のシリコン酸化膜を除去するための導入される。第2の単結晶シリコン膜608を成長する工程では、第1の単結晶シリコン膜607の成長工程に比べて処理温度が高いため、成長レートは約40nm/分と大きい。しかしながら、成長レートが大きいので、第2の単結晶シリコン膜608は第1の単結晶シリコン膜607に比べて結晶性に劣り、その結晶構造には欠陥が存在する。

【0126】尚、第2の単結晶シリコン膜608を成長する工程においては、ジシランガスに代えてシランガス等の他のシリコン化合物ガスをを用いてもよく、塩素ガスに代えて他の塩素化合物ガスをを用いてもよい。

【0127】また、第2の単結晶シリコン膜608に代えて、多結晶シリコン膜又は非晶質シリコン膜等のように、第1の単結晶シリコン膜607に比べて、結晶性は

劣るが成長レートの大きい膜を形成してもよい。

【0128】次に、第1の単結晶シリコン膜607及び第2の単結晶シリコン膜608に、ドーザ量 $2 \times 10^{15} \text{ cm}^{-2}$ の砒素イオンを50keVのエネルギーで注入した後、例えば950℃の熱処理を30秒間程度行なうことにより、第2の単結晶シリコン膜608の全部及び第1の単結晶シリコン膜607の上部に跨る領域（密な点々で示す領域）に、ソース又はドレインとなるn型の高濃度不純物層609を形成する。この熱処理によって、サイドウォールスペーサ606に含まれている燐が第1の単結晶シリコン膜607及びp型シリコン基板601に拡散するので、第1の単結晶シリコン膜607におけるゲート電極側の領域とp型シリコン基板601とに跨る領域（疎な点々で示す領域）にL字状の低濃度不純物層610が形成される。

【0129】尚、950℃の30秒間程度の熱処理を、第1の単結晶シリコン膜607を形成する工程と、第2の単結晶シリコン膜608を形成する工程との間に行なうことにより、第1の単結晶シリコン膜607におけるゲート電極側の領域とp型シリコン基板601とに跨る領域に低濃度不純物層610を形成してもよい。

【0130】また、n型の高濃度不純物層609を形成するための不純物イオンとしては、砒素イオンに代えて、燐等の他のn型不純物イオンを用いてもよい。

【0131】次に、p型シリコン基板601の上に50nm程度の厚さを持つチタン膜を全面的に堆積した後、650℃の熱処理を60秒間程度行なうことにより、図12(b)に示すように、第2の単結晶シリコン膜609の上部にチタンシリサイド層611を形成する。次に、未反応のチタン膜を硫酸過水等を用いて除去した後、900℃の熱処理を10秒間程度行なって、チタンシリサイド層611を低抵抗化する。

【0132】次に、図12(c)に示すように、p型シリコン基板601の上に層間絶縁膜612を堆積した後、該層間絶縁膜612にソース電極又はドレイン電極となる金属電極613を形成すると、第6の実施形態に係る半導体装置が得られる。

【0133】第6の実施形態によると、第2の単結晶シリコン膜608の成長工程は、第1の単結晶シリコン膜607の成長工程に比べて処理温度が高いため、成長レートが大きいため、第1の単結晶シリコン膜607と第2の単結晶シリコン膜608との積層体の成長レートは従来の方法つまり結晶性に優れた単結晶シリコン膜のみを形成する方法に比べて大きくなる。具体的には、第1の単結晶シリコン膜607の成長時間は5分程度であり、第2の単結晶シリコン膜608の成長時間は2.5分程度であり、合計の成長時間は約7.5分であるから、従来の方法における約15分の成長時間に対して1/2程度に短縮できる。

【0134】第2の単結晶シリコン膜608は成長レー

トが大きいため結晶性に劣るが、第2の単結晶シリコン膜608の上部はチタンシリサイド層610に変化すると共に、第2の単結晶シリコン膜608の下部は高濃度不純物層609の内部領域に位置するので、接合リーク等には影響が及ばない。

【0135】高濃度不純物層609と低濃度不純物層611との接合面は結晶性に優れた第1の単結晶シリコン膜607の内部に形成されるので、接合リーク電流の増加は生じない。

【0136】ソース又はドレインとなるn型の高濃度不純物層609とp型シリコン基板601のチャネル領域との間に低濃度不純物層610が介在しているので、寄生抵抗を低減することができる。

【0137】

【発明の効果】本発明に係る半導体装置及びその製造方法によると、相対的に小さい成長レートで結晶性に優れた単結晶シリコン膜からなる第1の半導体層を形成した後、相対的に大きい成長レートで第2の半導体層を形成して、第1の半導体層と第2の半導体層とからなる積層体を形成し、該積層体に不純物層を形成するため、不純物層が形成される半導体層の成長レートが大きくなるので、スループットが向上する。また、ソース又はドレインとなる不純物層の接合面が結晶性に優れている第1の半導体層の内部に位置するので、成長レートを大きくできるにも拘わらず、接合リーク電流の増加を防止することができる。

【図面の簡単な説明】

【図1】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(c)は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)～(c)は第4の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】(a)～(c)は第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図10】(a)～(c)は第5の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図11】(a)～(c)は第6の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図12】(a)～(c)は第6の実施形態に係る半導

体装置の製造方法の各工程を示す断面図である。

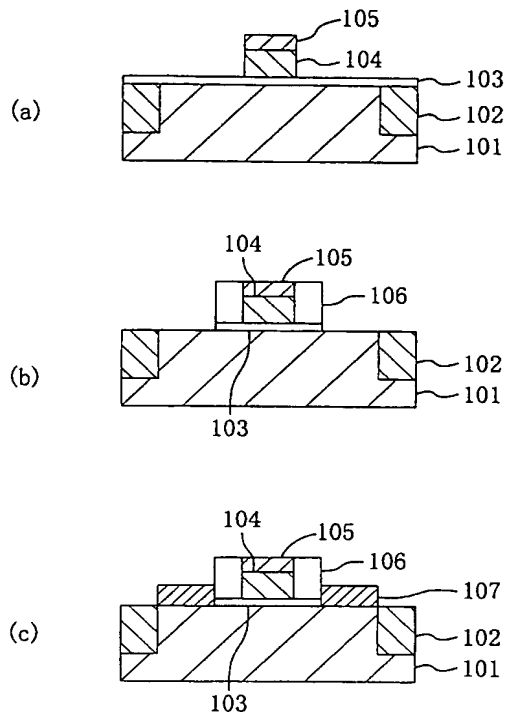
【図13】(a)～(d)は従来の半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

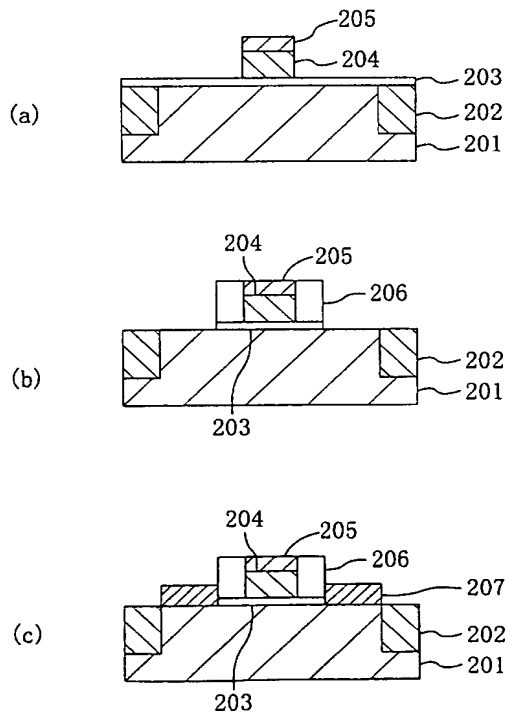
101	p型シリコン基板
102	素子分離領域
103	ゲート絶縁膜
104	n型多結晶シリコン膜
105	シリコン酸化膜
106	サイドウォールスペーサー
107	第1の単結晶シリコン膜
108	第2の単結晶シリコン膜
109	不純物拡散層
110	チタンシリサイド層
111	層間絶縁膜
112	金属電極
201	p型シリコン基板
202	素子分離領域
203	ゲート絶縁膜
204	n型多結晶シリコン膜
205	シリコン酸化膜
206	サイドウォールスペーサー
207	第1の単結晶シリコン膜
208	第2の単結晶シリコン膜
209	不純物拡散層
210	チタンシリサイド層
211	層間絶縁膜
212	金属電極
301	n型シリコン基板
302	素子分離領域
303	ゲート絶縁膜
304	p型多結晶シリコン膜
305	シリコン酸化膜
306	サイドウォールスペーサー
307	単結晶シリコン層
308	単結晶シリコンゲルマニウム膜
309	不純物拡散層
310	チタンシリサイド層
311	層間絶縁膜
312	金属電極

401	p型シリコン基板
402	素子分離領域
403	ゲート絶縁膜
404	p型多結晶シリコン膜
405	シリコン酸化膜
406	サイドウォールスペーサー
407	第1の単結晶シリコン膜
408	低濃度不純物層
409	第2の単結晶シリコン膜
10 410	高濃度不純物層
411	チタンシリサイド層
412	層間絶縁膜
413	金属電極
501	p型シリコン基板
502	素子分離領域
503	ゲート絶縁膜
504	p型多結晶シリコン膜
505	シリコン酸化膜
506	サイドウォールスペーサー
20 507	第1の単結晶シリコン層
508	第2の単結晶シリコン層
509	高濃度不純物層
510	チタンシリサイド層
511	低濃度不純物層
512	層間絶縁膜
513	金属電極
601	p型シリコン基板
602	素子分離領域
603	ゲート絶縁膜
30 604	p型多結晶シリコン層
605	シリコン酸化膜
606	サイドウォールスペーサー
607	第1の単結晶シリコン膜
608	第2の単結晶シリコン膜
609	高濃度不純物層
610	低濃度不純物層
611	チタンシリサイド層
612	層間絶縁膜
613	金属電極

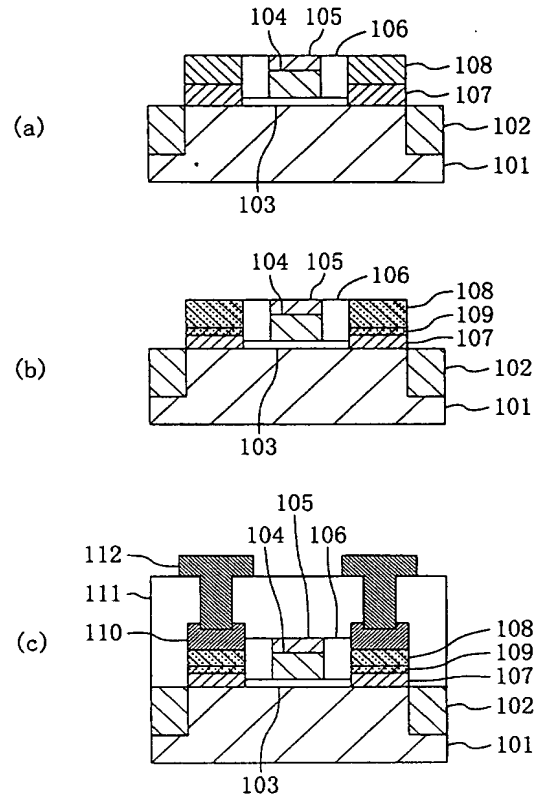
【図1】



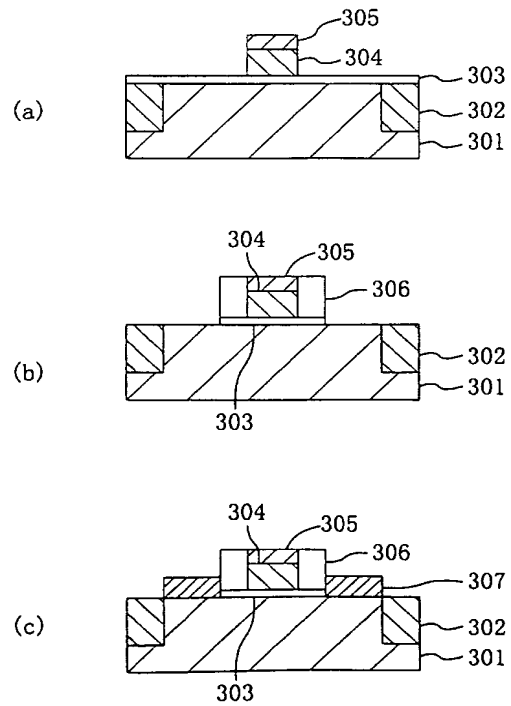
【図3】



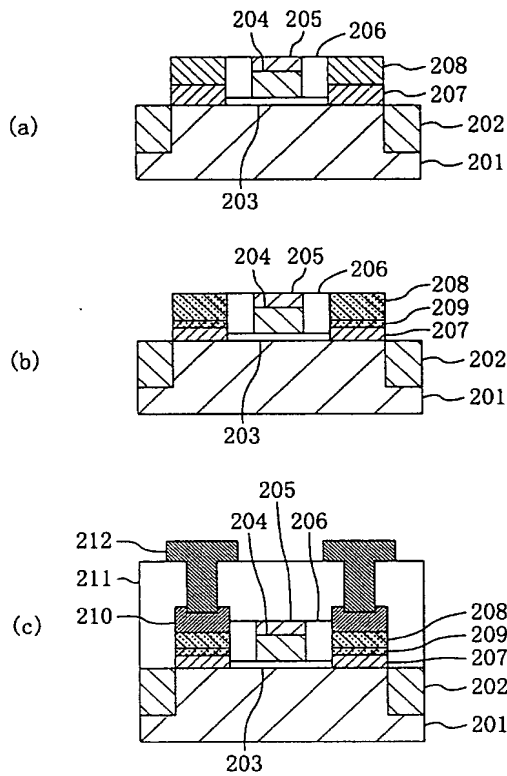
【図2】



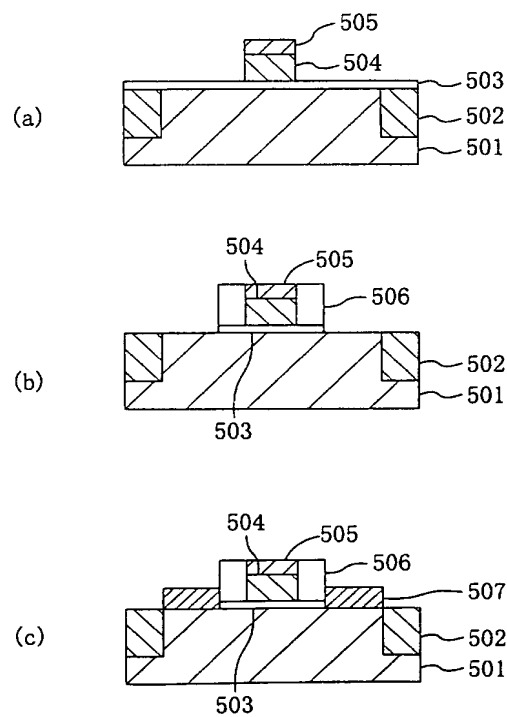
【図5】



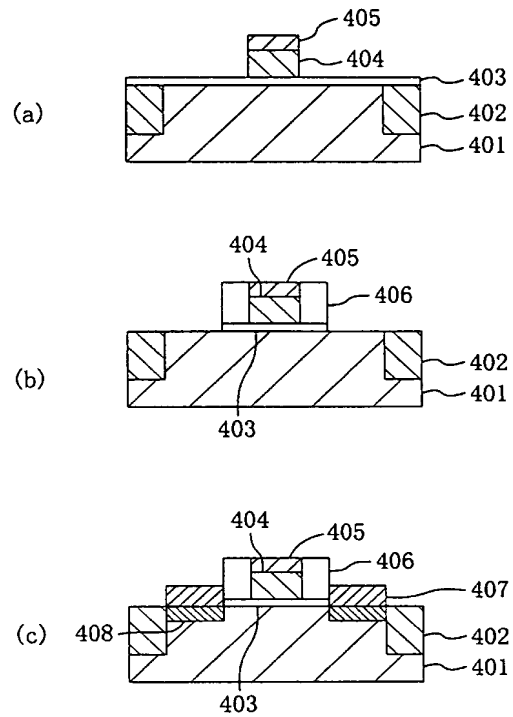
【図4】



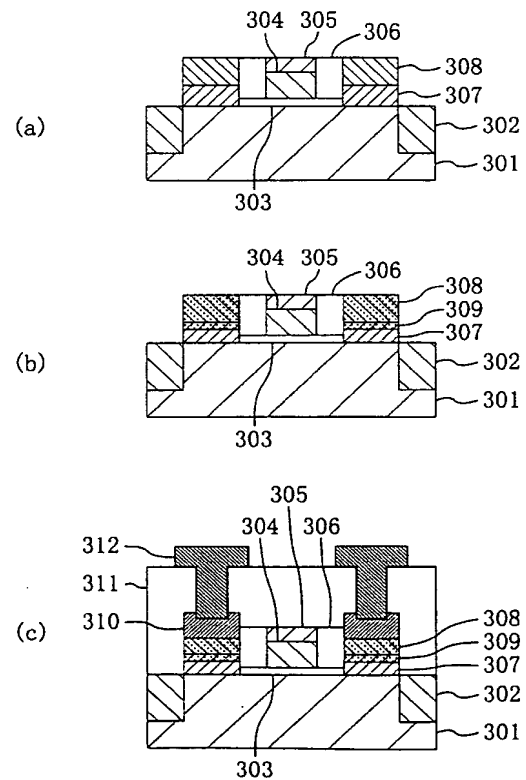
【図9】



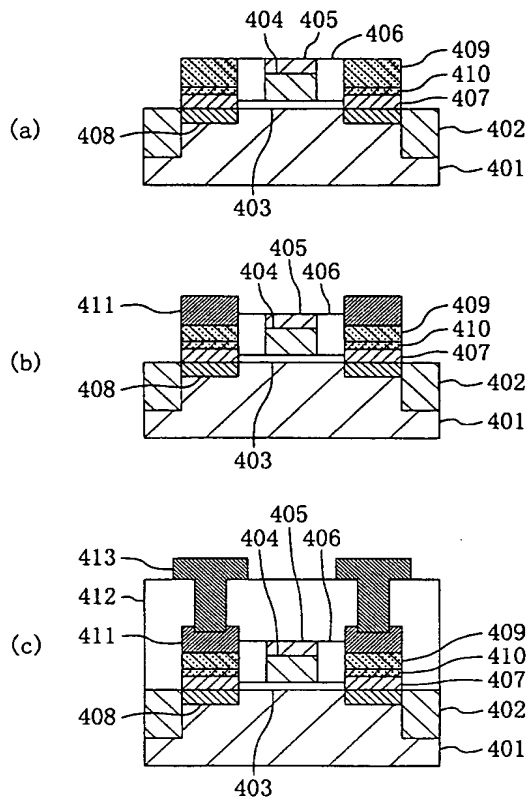
【図7】



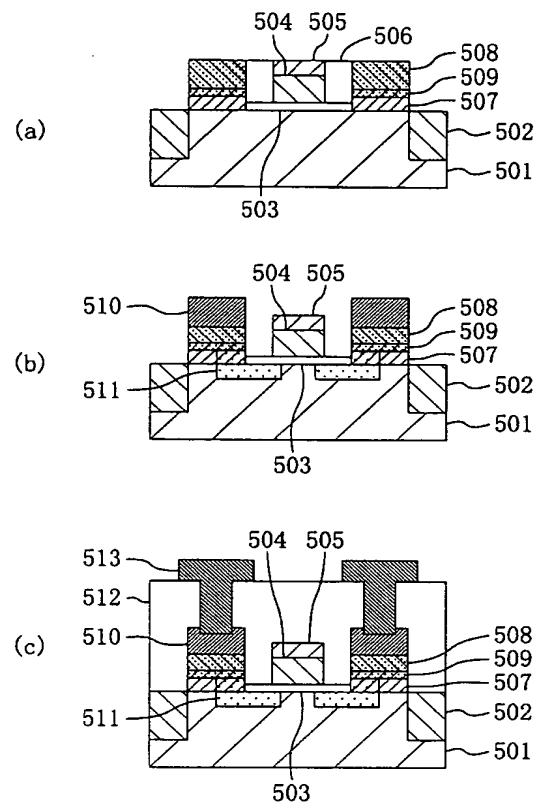
【図6】



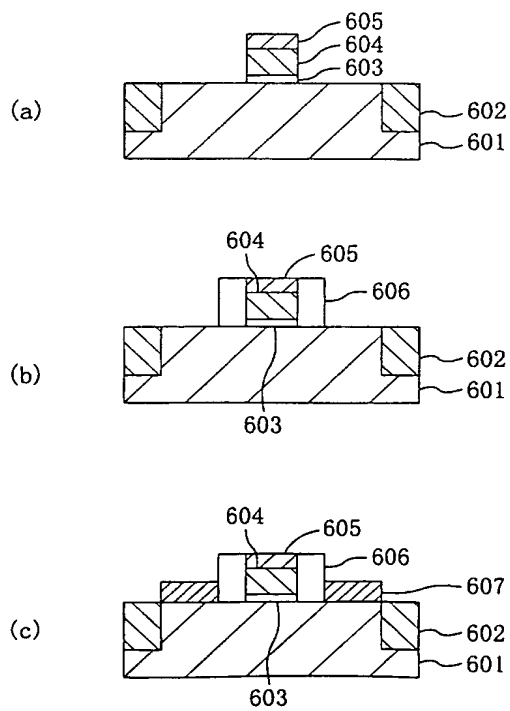
【図 8】



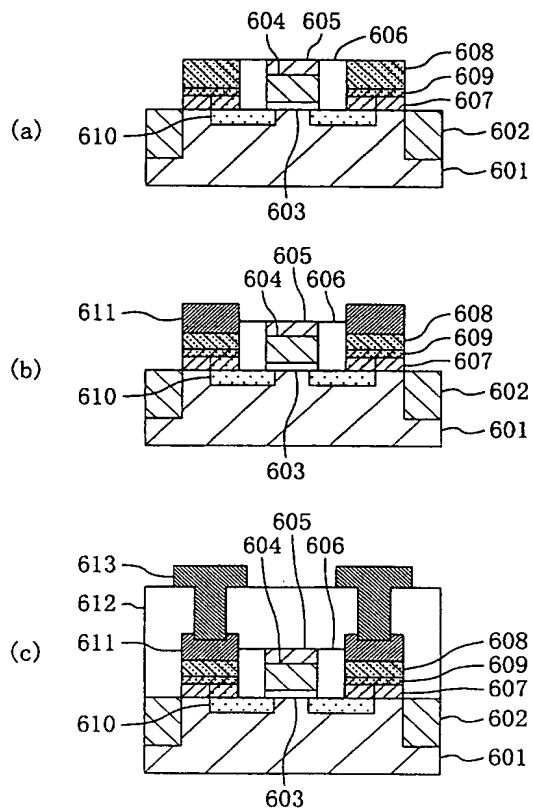
【図 10】



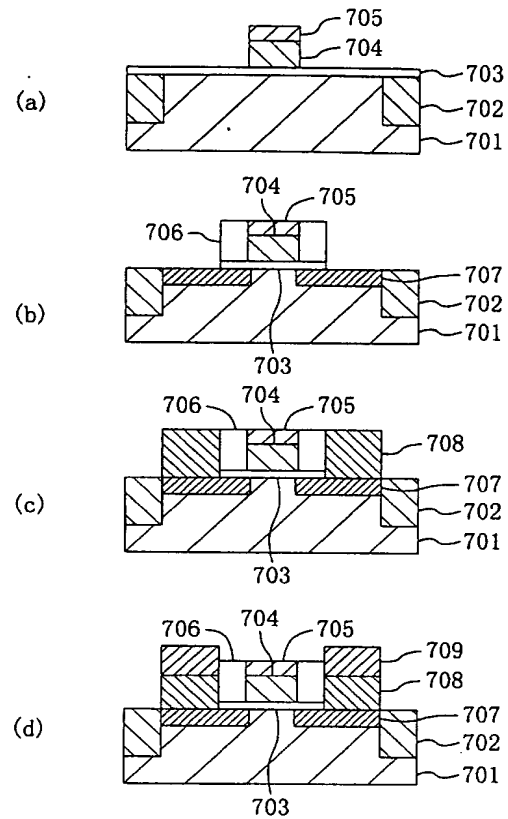
【図 11】



【図12】



【図13】



フロントページの続き

- (56) 参考文献 特開 平6-77246 (J P, A)
 特開 平6-151841 (J P, A)
 特開 平1-59861 (J P, A)
 特開 平7-211906 (J P, A)
 特開 平1-270272 (J P, A)
 特開 平2-106922 (J P, A)
 特開 平4-234112 (J P, A)
 特開2000-150669 (J P, A)

- (58) 調査した分野(Int. Cl.⁷, DB名)

H01L 29/78
 H01L 21/336
 H01L 21/205